

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-354841

(43)Date of publication of application : 24.12.1999

(51)Int.Cl.

H01L 33/00  
H01L 21/301  
H01S 3/18

(21)Application number : 10-156016

(71)Applicant : ROHM CO LTD

(22)Date of filing : 04.06.1998

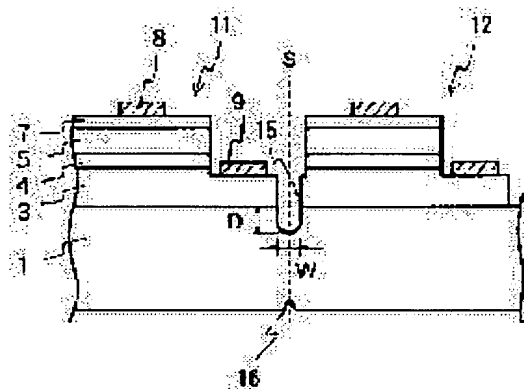
(72)Inventor : ITO NORIKAZU

## (54) FABRICATION OF SEMICONDUCTOR LIGHT EMITTING ELEMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for fabricating semiconductor light emitting element in which respective chips can be broken (cut off) easily from a wafer while preventing the chip from being broken obliquely.

**SOLUTION:** When a wafer having a laminate of semiconductor layers is broken into LED chips 11, 12, a substrate 1 is made as thin as 35-100  $\mu\text{m}$  and the surface part of the substrate 1 is cut from an n-type layer 3 exposed from the boundary part S of each chip by means of a dicer to cut a groove 15. Subsequently, a scribe line 16 is cut at the boundary part S on the rear surface of the substrate 1 by means of a diamond cutter and each chip is cut off from the substrate 1 laminated with the semiconductor layers.



## LEGAL STATUS

[Date of request for examination] 16.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3723347

[Date of registration] 22.09.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] Connect with the outcrop of the semi-conductor layer of the 2nd electric conduction form which carries out the laminating of the semi-conductor layer, removes a part of semi-conductor layer of the 1st electric conduction form of the front face of this semi-conductor layer by which a laminating is carried out, and said semi-conductor layer by which a laminating is carried out, and is exposed on a wafer-like substrate electrically, respectively, and an electrode is prepared for two or more chips of every. It is the process of the semi-conductor light emitting device which takes a break the wafer-like substrate with which the laminating of said semi-conductor layer was carried out for each chip. In case the semi-conductor layer of said 2nd electric conduction form is exposed, the perimeter of each of said chip also exposes the semi-conductor layer of the 2nd electric conduction form. A dicer cuts said some of substrates from the said semi-conductor layer [ in the boundary section of each chip / which was exposed ], or rear-face side of said substrate. Subsequently, the process of the semi-conductor light emitting device which divides into each chip the substrate with which the laminating of said semi-conductor layer was carried out after putting the scribe line into the cutting section by this dicer, and said boundary section of an opposite side with the diamond cutter.

---

[Translation done.]

---

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the process of the semi-conductor light emitting device which takes a break for each chip from a wafer, and forms a light emitting device chip on a wafer-like substrate after carrying out the laminating of the semi-conductor layer containing p form layer and n form layer. In more detail, like the semi-conductor light emitting device of the blue system by which the laminating of the CHITSU-ized gallium system compound semiconductor layer is carried out on silicon on sapphire, when taking a break for each chip from a wafer, it is related with the process of the semi-conductor light emitting device which can perform easily breaking in the case of being hard to carry out division of a substrate.

[0002]

[Description of the Prior Art] Conventionally, the process of the chip (henceforth an LED chip) of the semi-conductor light emitting device which emits light in the light of a blue system is performed as follows. As shown in drawing 6, on silicon on sapphire 21 Namely, for example, the n form layer 23 which consists of GaN of n form (cladding layer), The barrier layer 24 which bandgap energy becomes from the ingredient which defines luminescence wavelength smaller than that of a cladding layer, for example, an InGaN system (ratio of In and Ga is the same the following which means that it may change variously) compound semiconductor, (luminous layer), Sequential epitaxial growth of the p form layer (cladding layer) 25 which consists of GaN of p form is carried out, an electrode 28 is formed in the front face the p side (upper part), and an electrode 29 is formed in the front face of the n form layer 23 which etches a part of semi-conductor layer by which the laminating was carried out, and is exposed the n side (lower part).

[0003] And by grinding the rear face of a substrate 21, making thickness of a wafer thin to about 100 micrometers from about 350 micrometers, putting in scribe line 21a with a diamond cutter etc. from the rear face of a substrate 21 in the boundary section S of a chip, and applying the force to the part of the scribe line 21a, it takes a break and is dividing into each chip. Since silicon on sapphire is very hard, the depth of this scribe line 21a becomes a shallow blemish several micrometers or less. In addition, since the n form layer 23 and the p form layer 25 raise the locked-in effect of a carrier, an AlGaIn system (ratio of aluminum and Ga is the same the following which means that it may change variously) compound semiconductor layer may be used for a barrier layer 23 side. Moreover, it is made easy to take a break by also etching into coincidence the part which takes a break in the boundary section S of each chip, and exposing the n form layer 23, in case the above-mentioned semi-conductor layer by which a laminating is carried out is etched.

[0004]

[Problem(s) to be Solved by the Invention] As mentioned above, when taking a break for each chip from a wafer, a part of semi-conductor layer by which a laminating is carried out is etched, it is made thin, and the approach of putting in a scribe line with a diamond cutter and breaking from the rear face of a substrate, is used. However, when a hard substrate like sapphire is used for a substrate, it is very difficult for a scribe line to become only a very shallow line, but to take a break a hard substrate like sapphire to reliance in the scribe line. And although a part of semi-conductor layer by which a laminating is carried out is etched, a part of semi-conductor layers, such as n form layer, remain, and since a different ingredient from a substrate has stuck, the front-face side of a substrate has the problem of being much more hard to take a break. Consequently, it is generated, also when a crack goes into the direction where the semi-conductor layer by which a laminating is carried out is not etched even when it is able to take a break forcibly and it damages the luminous layer sections and p form layers, such as a barrier layer.

[0005] When it was made in order that this invention might solve such a problem, and taking a break for each chip from a wafer (cutting separation), while the breaking line progresses aslant and does not make a chip a defect, it aims at offering the process of the semi-conductor light emitting device which can take a break easily.

[0006]

[Means for Solving the Problem] The process of the semi-conductor light emitting device by this invention carries out the laminating of the semi-conductor layer on a wafer-like substrate. Connect with the outcrop of the semi-conductor layer of the 2nd electric conduction form which removes a part of semi-conductor layer of the 1st electric conduction form of the front face of this semi-conductor layer by which a laminating is carried out, and said semi-conductor layer by which a laminating is carried out, and is exposed electrically, respectively, and an electrode is prepared for two or more chips of every. It is the process of the semi-conductor light emitting device which takes a break the wafer-like substrate with which the laminating of said semi-conductor layer was carried out for each chip. In case the semi-conductor layer of said 2nd electric conduction form is exposed, the perimeter of each of said chip also exposes the semi-conductor layer of the 2nd electric conduction form. A dicer cuts said some of substrates from the said semi-conductor layer [ of the boundary section of each chip / which was exposed ], or rear-face side of said substrate. Subsequently, after putting a scribe line into the cutting section by this dicer, and said boundary section of an opposite side with a diamond cutter, said semi-conductor layer is characterized by dividing into each chip the substrate by which the laminating was carried out.

[0007] Breaking means dividing into each chip from wafers, such as WARI (fracture) and cutting, here.

[0008] In case a scribe line is put into the background of a substrate with a diamond cutter and it takes a break by doing in this way, it is lost that a crack extends of the crack which goes into a substrate from a scribe line inside a chip in order to

enter toward the edge of the slot into which it was put by the dicer.

[0009] Since chip-ization of the light emitting device to which the laminating of the semi-conductor layer is carried out becomes easy on the silicon on sapphire to which said substrate cannot take a break easily if said semi-conductor layer by which a laminating is carried out is a CHITSU-ized gallium system compound semiconductor in silicon on sapphire, especially effectiveness is large.

[0010] A CHITSU-ized gallium system compound semiconductor is III here. The compound of Ga of a group element, and N of V group element, or III III of others [ Ga / a part of / of a group element ], such as aluminum and In. The semi-conductor which consists of a compound which a part of N of the thing permuted by the group element and/or V group element permuted by other V group elements, such as P and As, is said.

[0011]

[Embodiment of the Invention] Next, the process of the semi-conductor light emitting device of this invention is explained, referring to a drawing. The laminating of the CHITSU-ized gallium system compound semiconductor layer suitable for luminescence of a blue system is carried out on wafer-like silicon on sapphire, and the partial cross-section explanatory view of the condition before the breaking in 1 operation gestalt of the process of this invention which takes a break for each LED chip is shown in drawing 1.

[0012] The process of the semi-conductor light emitting device of this invention carries out the laminating of the semi-conductor layer containing the n form layer 3 and the p form layer 5 on the substrate 1 of a wafer condition, as shown in drawing 1. A part of semi-conductor layer (p form layer 5) of the 1st electric conduction form of the front face of this semi-conductor layer by which a laminating is carried out, and said semi-conductor layer by which a laminating is carried out are removed. the outcrop of the semi-conductor layer (n form layer 3) of the 2nd electric conduction form to expose — respectively — electric — connecting — two or more LED chips 11 and 12 of each ... \*\* — it is alike and electrodes 8 and 9 are formed. In case the semi-conductor layer 3 of this n form is exposed, the semi-conductor layer 3 of n form is exposed also near the boundary section S of each chip. And in taking a break said wafer for each LED chips 11 and 12, the rear face of a substrate 1 is ground with wrapping equipment, thickness of a substrate 1 is made thin to about 100 micrometers from about 350 micrometers, a dicer cuts the surface section of a substrate 1 from the n form layer 3 which has exposed the boundary section S of each of said chip, and the end slot 15 is formed. Subsequently, after putting the scribe line 16 into the boundary section S of the rear face of a substrate 1 with a diamond cutter, said semi-conductor layer is characterized by dividing into each chip the substrate 1 by which the laminating was carried out.

[0013] If this process is further explained to a detail, in order to carry out the laminating of the semi-conductor layer first, For example, reactant gas and required dopant gas are introduced by the organic metal chemical-vapor-deposition method (MOCVD law). The low-temperature buffer layer which consists of GaN which is not illustrated on the front face of the substrate 1 which consists of sapphire (aluminum<sub>2</sub> O<sub>3</sub> single crystal) etc., About 1-5 micrometers (cladding layer) of n form layers 3 which consist of GaN of n form used as a cladding layer and/or a laminated structure of an AlGaIn system compound semiconductor are deposited. Furthermore, the ingredient with which bandgap energy becomes smaller than that of a cladding layer, For example, the laminating of about 0.2-1 micrometer (cladding layer) of the p form layers 5 which consist of the AlGaIn system compound semiconductor layer and/or GaN layer of about 0.05-0.3 micrometers and p form the barrier layer 4 which consists of an InGaIn system compound semiconductor layer is carried out one by one, respectively. Subsequently, about 2-100nm of current diffusion layers 7 which consist of a metal layer etc. is formed by vapor-depositing and carrying out the sinter of nickel and the Au. the case where the p lateral electrode 8 is electrically connected with the p form layer 5 through the current diffusion layer 7, and the current diffusion layer 7 is not established when this current diffusion layer 7 is established — direct — the p form layer 5 — or it connects electrically through other p type semiconductor layers.

[0014] Then, in order to form the n lateral electrode 9, the resist film etc. is prepared in the front face of the semi-conductor layer by which the laminating was carried out, patterning is carried out, a part of current diffusion layers 7 and semi-conductor layers 3-5 by which the laminating was carried out are etched, and the n form layer 3 is exposed. Under the present circumstances, the semi-conductor layer near the boundary section S divided into each chip is also etched, and the n form layer 3 is exposed. Reactive ion etching by chlorine gas etc. can perform this etching, and in order to etch a thick semi-conductor layer, it can etch by using Ti etc. as a mask.

[0015] Subsequently, about 0.3 micrometers forms membranes at a time with vacuum deposition etc. with about 0.1 micrometers, respectively, and the sinter of Ti and aluminum of the metal for formation of the n lateral electrode 9 on the front face of the n form layer 3 exposed by this etching is carried out. By removing a part of protective coats (not prepared), such as SiN which furthermore is not illustrated for the p lateral electrode 8, carrying out vacuum deposition of Ti and the Au, respectively, and carrying out a laminating, the p lateral electrode 8 and the n lateral electrode 9 are formed.

[0016] Then, half cutting is carried out so that it may be cut from the top face of the n form layer 3 etched into the part of the boundary section S of each LED chips 11 and 12 of this wafer in every direction by the dicer to some substrates 1. Although this half cutting enables it to take a break in that boundary section S when taking a break silicon on sapphire 1, and depth D of the end slot 15 is originally so desirable that it is deep, since a dicer is also easy to hurt while are very hard and being hard to cut, silicon on sapphire 1 is the depth which can become a guide rail in the case of breaking, and is formed as shallowly as possible. Depth D from the front face of the substrate 1 specifically ground by the thickness of about 100 micrometers as mentioned above should just form about 10-40 micrometers so that it may be set to about 20-30 micrometers still more preferably. In addition, it will cut, if the usual dicer is used, and the width of face W of a slot 15 is set to about 10-20 micrometers. Subsequently, the scribe line 16 is put into a line with a diamond cutter from the rear face of a substrate 1. Then, by applying momentary impulse force to the part of the scribe line 16, the wafer-like substrate 1 is broken and it divides into each LED chips 11 and 12.

[0017] Only with the scribe line by the diamond cutter Although the direction which breaks according to the condition which an impact joins is not fixed in order that only an about several micrometers very shallow slot may enter, since the half cutting by the dicer is made according to this invention, Since about 20 - 30% of the thickness of silicon on sapphire is cut and the tip is moreover notched by cutting, a crack enters toward the end slot by the impact from the scribe line of an

opposite side, and it is divided, without progressing horizontally. On the other hand, although silicon on sapphire is hard and cutting by the dicer requires time amount, in order to cut dozens off of the thickness rather than to cut the whole silicon on sapphire, it does not become an increase of a man day so much, and, as for many, consumption of the blade of a dicer does not become so much, either. Therefore, in connection with the stability of the direction of a crack, the yield can improve very much, and efficient breaking as a result can be carried out.

[0018] Drawing 2 is drawing showing the example which performs half cutting by the dicer in two steps. Namely, since it will be hard to perform cutting by the dicer if hard especially silicon on sapphire 1 has a thin blade as mentioned above, 1st end slot 15a is formed using the thick blade from which one half extent (about 10 micrometers) of the end depth of flute to a substrate 1 is cut, and the width of face of a slot is set to about 30-50 micrometers. It is the example which forms 2nd end slot 15b using the thin blade from which remaining about 10-20 micrometers are cut, and the width of face of a slot is set to about 10-20 micrometers, and establishes an end slot with a depth of about 20-30 micrometers in a substrate 1 as a whole. It is divided so that silicon on sapphire with it is also stabilized comparatively, and can be cut, if it does in this way, the tip of the end slot 15 may be thin, the crack from the scribe line 16 on the back may moreover cut and it may extend toward the tip where a slot is thin. [ a thick blade and ] [ hard ] The same sign is given to the same part as the example shown in other drawing 1, and the explanation is omitted.

[0019] Drawing 3 is drawing showing the example of further others, and since this example etches the semi-conductor layer to which the laminating of the boundary section S of each chip was carried out by dry etching and exposes a substrate, it is carrying out half cutting of that substrate 1. In order for a mechanical shock not to join the semi-conductor layer by which the laminating was carried out in order for a direct dicer not to cut the semi-conductor layer which carried out the laminating by doing in this way, it is desirable on dependability. Also in this case, the same sign is given to the same part as drawing 1, and that explanation is omitted.

[0020] Drawing 4 is the same cross-section explanatory view showing the example of further others, and this example puts the half cutting by the dicer into the rear-face side of a substrate 1, and is put into the scribe line 16 by the diamond cutter at the n form layer 3 side of the semi-conductor layer by which the laminating was carried out. Since half cutting of the substrate 1 is carried out by the dicer even if such, it cuts from the scribe line 16, a crack enters toward a slot 15, and cutting separation is carried out from a wafer at each chip. In addition, since it can cut only by silicon on sapphire by removing the semi-conductor layer to which the laminating of the boundary section of each chip was carried out also in this case by dry etching, cutting separation can be carried out more easily. Moreover, the same sign is given to the same part as drawing 1, and the explanation is omitted.

[0021] Although a comparatively strong blade can cut hard silicon on sapphire 1 if the blade from which thickness differs cuts to two steps as shown in above-mentioned drawing 2 Drawing 5 (b) The end slot where the same tip as the example of drawing 2 is thin can be formed by cutting the cross-section configuration at a tip (peripheral edge section) using the blade made into the shape of a small R or V character, as the sectional view of the point (periphery section) of a blade is shown in - (c). In addition, drawing 5 (a) shows the configuration of the usual blade.

[0022] In addition, in each above-mentioned example, although the semi-conductor layer by which a laminating is carried out to silicon on sapphire was a CHITSU-ized gallium system compound semiconductor and it was a concrete example, it is not limited to these examples, but when a substrate cannot take a break easily with another semi-conductor layer or structure, the same approach can be used. Moreover, the thing of other structures where the structure of the semi-conductor layer by which a laminating is carried out is not limited to the double heterojunction structure where the barrier layer was pinched in above-mentioned n form layer and above-mentioned p form layer, either, and n form layer and p form layer join it directly, such as pn junction, may be used.

[0023]

[Effect of the Invention] A luminescence property is not reduced without according to this invention, being able to take a break comparatively easily without a crack's shifting in the direction of horizontal, and reducing the yield also by the semi-conductor light emitting device by which the laminating of the semi-conductor layer is carried out to a substrate with the difficult breaking to the chip from wafers, such as silicon on sapphire. Consequently, the cheap semi-conductor light emitting device of a high property is obtained.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the cross-section explanatory view of the condition before breaking of 1 operation gestalt of the process of this invention.

[Drawing 2] It is the same explanatory view as drawing 1 of other operation gestalten of the process of this invention.

[Drawing 3] It is the same explanatory view as drawing 1 of other operation gestalten of the process of this invention.

[Drawing 4] It is the same explanatory view as drawing 1 of other operation gestalten of the process of this invention.

[Drawing 5] It is the explanatory view of the example of a configuration of a blade used for cutting by the dicer of this invention.

[Drawing 6] It is drawing explaining the process of the conventional semi-conductor light emitting device.

### [Description of Notations]

1 Substrate

3 N Form Layer

5 P Form Layer

8 P Lateral Electrode

9 N Lateral Electrode

S The boundary section of a chip

15 End Slot

16 Scribe Line

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-354841

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 33/00

H 0 1 L 33/00

C

21/301

H 0 1 S 3/18

H 0 1 S 3/18

H 0 1 L 21/78

Q

審査請求 未請求 請求項の数1 O L (全 5 頁)

(21)出願番号 特願平10-156016

(22)出願日 平成10年(1998)6月4日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72)発明者 伊藤 範和

京都市右京区西院清崎町21番地 ローム株式会社内

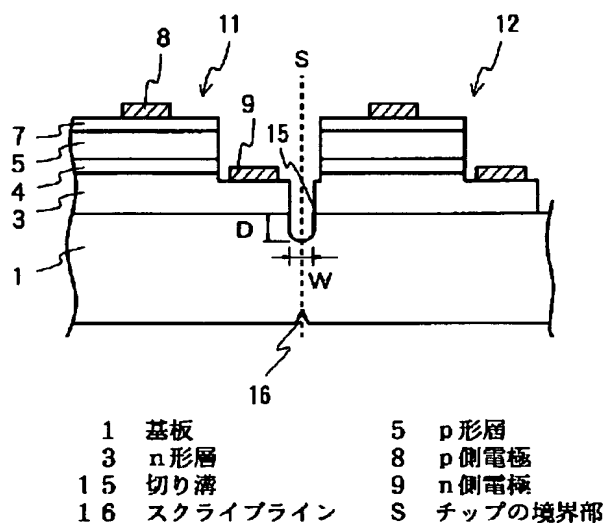
(74)代理人 弁理士 河村 洸

(54)【発明の名称】 半導体発光素子の製法

(57)【要約】

【課題】 ウェハから各チップにブレード（切断分離）する場合に、そのブレードラインが斜めに進んでチップを不良にしないと共に、容易にブレードすることができ半導体発光素子の製法を提供する。

【解決手段】 半導体層2～5が積層されたウェハを各LEDチップ11、12にブレードするにあたり、基板1の厚さを350μm程度から100μm程度に薄くし、前記各チップの境界部Sの露出しているn形層3から基板1の表面部をダイサーにより切断して切り溝15を形成する。ついで基板1の裏面の境界部Sにダイヤモンドカッターによりスクライブライン16を入れてから前記半導体層が積層された基板1を各チップに分割する。



## 【特許請求の範囲】

【請求項 1】 ウェハ状の基板上に半導体層を積層し、該積層される半導体層の表面の第 1 導電形の半導体層および前記積層される半導体層の一部を除去して露出する第 2 導電形の半導体層の露出部にそれぞれ電氣的に接続して複数の各チップごとに電極を設け、前記半導体層が積層されたウェハ状の基板を各チップにブレイクする半導体発光素子の製法であって、前記第 2 導電形の半導体層を露出させる際に前記各チップの周囲も第 2 導電形の半導体層を露出させ、各チップの境界部における前記露出した半導体層側または前記基板の裏面側から前記基板の一部をダイサーにより切断し、ついで該ダイサーによる切断部と反対面の前記境界部にダイヤモンドカッターによりスクライブラインを入れてから前記半導体層が積層された基板を各チップに分割する半導体発光素子の製法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はウェハ状の基板上に、p 形層および n 形層を含む半導体層を積層した後、ウェハから各チップにブレイクして発光素子チップを形成する半導体発光素子の製法に関する。さらに詳しくは、サファイア基板上に窒化ガリウム系化合物半導体層が積層される青色系の半導体発光素子のように、ウェハから各チップにブレイクするとき、基板の分割がしにくい場合のブレイクを容易に行うことができる半導体発光素子の製法に関する。

## 【0002】

【従来の技術】 従来、青色系の光を発光する半導体発光素子のチップ（以下、LEDチップという）の製法は、つぎのように行われる。すなわち、図 6 に示されるように、サファイア基板 21 上にたとえば n 形の GaN からなる n 形層（クラッド層）23 と、バンドギャップエネルギーがクラッド層のそれよりも小さく発光波長を定める材料、たとえば InGaIn 系（In と Ga の比率が種々変わり得ることを意味する、以下同じ）化合物半導体からなる活性層（発光層）24 と、p 形の GaN からなる p 形層（クラッド層）25 とを順次エピタキシャル成長し、その表面に p 側（上部）電極 28 を設け、積層された半導体層の一部をエッチングして露出する n 形層 23 の表面に n 側（下部）電極 29 を設ける。

【0003】そして、基板 21 の裏面を研磨してウェハの厚さを 350 μm 程度から 100 μm 程度に薄くし、チップの境界部 S で、基板 21 の裏面からダイヤモンドカッターなどによりスクライブライン 21a を入れ、そのスクライブライン 21a の部分に力を加えることにより、ブレイクして各チップに分割している。サファイア基板は非常に硬いため、このスクライブライン 21a の深さは数 μm 以下の浅い傷になる。なお、n 形層 23 および p 形層 25 はキャリアの閉じ込め効果を向上させる

ため、活性層 23 側に AlGaIn 系（Al と Ga の比率が種々変わり得ることを意味する、以下同じ）化合物半導体層が用いられることがある。また、前述の積層される半導体層をエッチングする際に、各チップの境界部 S で、ブレイクする部分も同時にエッチングして n 形層 23 を露出させてブレイクをしやすくしている。

## 【0004】

【発明が解決しようとする課題】 前述のように、ウェハから各チップにブレイクする場合、積層される半導体層の一部をエッチングして薄くし、基板の裏面からダイヤモンドカッターによりスクライブラインを入れて割る方法が用いられている。しかし、基板にサファイアのような硬い基板が用いられる場合、スクライブラインは非常に浅い線にしかならず、そのスクライブラインを頼りにサファイアのような硬い基板をブレイクすることは非常に難しい。しかも基板の表面側は、積層される半導体層の一部がエッチングされているが、n 形層などの半導体層の一部が残存しており、基板と異なる材料が密着しているため、一層ブレイクしにくいという問題がある。その結果、強引にブレイクできた場合でも、積層される半導体層のエッチングされない方に割れ目が入って活性層などの発光層部や p 形層部を損傷する場合も生じる。

【0005】本発明はこのような問題を解決するためになされたもので、ウェハから各チップにブレイク（切断分離）する場合に、そのブレイクラインが斜めに進んでチップを不良にしないと共に、容易にブレイクすることができる半導体発光素子の製法を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 本発明による半導体発光素子の製法は、ウェハ状の基板上に半導体層を積層し、該積層される半導体層の表面の第 1 導電形の半導体層および前記積層される半導体層の一部を除去して露出する第 2 導電形の半導体層の露出部にそれぞれ電氣的に接続して複数の各チップごとに電極を設け、前記半導体層が積層されたウェハ状の基板を各チップにブレイクする半導体発光素子の製法であって、前記第 2 導電形の半導体層を露出させる際に前記各チップの周囲も第 2 導電形の半導体層を露出させ、各チップの境界部の前記露出した半導体層側または前記基板の裏面側から前記基板の一部をダイサーにより切断し、ついで該ダイサーによる切断部と反対面の前記境界部にダイヤモンドカッターによりスクライブラインを入れてから前記半導体層が積層された基板を各チップに分割することを特徴とする。

【0007】ここにブレイクとは、ワリ（破断）、切断などのウェハから各チップに分割することを意味する。

【0008】このようにすることにより、基板の裏側にダイヤモンドカッターによりスクライブラインを入れてブレイクする際に、スクライブラインから基板に入る割れ目はダイサーにより入れられた溝の端部に向かって入



るため、チップの内部に割れ目が延びることがなくなる。

【0009】前記基板がサファイア基板で、前記積層される半導体層がチツ化ガリウム系化合物半導体であれば、ブレイクしにくいサファイア基板上に半導体層が積層される発光素子のチップ化が容易になるため、とくに効果が大きい。

【0010】ここにチツ化ガリウム系化合物半導体とは、III族元素のGaとV族元素のNとの化合物またはIII族元素のGaの一部がAl、Inなどの他のIII族元素と置換したものおよび／またはV族元素のNの一部がP、Asなどの他のV族元素と置換した化合物からなる半導体をいう。

【0011】

【発明の実施の形態】つぎに、図面を参照しながら本発明の半導体発光素子の製法について説明をする。図1には、青色系の発光に適したチツ化ガリウム系化合物半導体層をウェハ状のサファイア基板上に積層し、各LEDチップにブレイクする本発明の製法の一実施形態におけるブレイク前の状態の部分断面説明図が示されている。

【0012】本発明の半導体発光素子の製法は、図1に示されるように、ウェハ状態の基板1上にn形層3およびp形層5を含む半導体層を積層し、該積層される半導体層の表面の第1導電形の半導体層(p形層5)および前記積層される半導体層の一部を除去して露出する第2導電形の半導体層(n形層3)の露出部にそれぞれ電気的に接続して複数の各LEDチップ11、12・・・ごとに電極8、9を設ける。このn形の半導体層3を露出させる際に各チップの境界部Sの近傍もn形の半導体層3を露出させる。そして、前記ウェハを各LEDチップ11、12にブレイクするにあたり、基板1の裏面をラッピング装置により研磨し、基板1の厚さを350 $\mu$ m程度から100 $\mu$ m程度に薄くし、前記各チップの境界部Sの露出しているn形層3から基板1の表面部をダイサーにより切断して、切り溝15を形成する。ついで基板1の裏面の境界部Sにダイヤモンドカッターによりスクライプライン16を入れてから前記半導体層が積層された基板1を各チップに分割することを特徴とする。

【0013】この製法をさらに詳細に説明すると、まず、半導体層を積層するため、たとえば有機金属化学気相成長法(MOCVD法)により反応ガスおよび必要なドーパントガスを導入して、サファイア(Al<sub>2</sub>O<sub>3</sub>単結晶)などからなる基板1の表面に図示しないGaNからなる低温バッファ層と、クラッド層となるn形のGaNおよび／またはAlGaN系化合物半導体の積層構造からなるn形層(クラッド層)3を1~5 $\mu$ m程度堆積し、さらに、バンドギャップエネルギーがクラッド層のそれよりも小さくなる材料、たとえばInGaN系化合物半導体層からなる活性層4を0.05~0.3 $\mu$ m程度、p形のAlGaN系化合物半導体層および／または

GaN層からなるp形層(クラッド層)5を0.2~1 $\mu$ m程度、それぞれ順次積層する。ついで、NiおよびAuを蒸着してシンターすることにより、メタル層などからなる電流拡散層7を2~100nm程度形成する。この電流拡散層7が設けられる場合は、p側電極8は電流拡散層7を介してp形層5と電気的に接続され、電流拡散層7が設けられない場合は、直接p形層5にまたは他のp形半導体層を介して電気的に接続される。

【0014】その後、n側電極9を形成するため、積層された半導体層の表面にレジスト膜などを設けてパターニングをし、電流拡散層7および積層された半導体層3~5の一部をエッチングしてn形層3を露出させる。この際、各チップに分割する境界部Sの近傍の半導体層もエッチングし、n形層3を露出させる。このエッチングは、塩素ガスなどによる反応性イオンエッチングにより行うことができ、厚い半導体層をエッチングするためにはTiなどをマスクとして用いることにより、エッチングをすることができる。

【0015】ついで、このエッチングにより露出したn形層3の表面にn側電極9の形成のための金属のTiおよびAlをそれぞれ0.1 $\mu$ m程度と0.3 $\mu$ m程度ずつ真空蒸着などにより成膜してシンターし、さらにp側電極8のために図示しないSiNなどの保護膜(設けられない場合もある)の一部を除去してTiとAuをそれぞれ真空蒸着して積層することにより、p側電極8およびn側電極9を形成する。

【0016】その後、このウェハの各LEDチップ11、12の縦横の境界部Sの部分に、エッチングしたn形層3の上面からダイサーにより基板1の一部まで切断されるようにハーフカットをする。このハーフカットは、サファイア基板1をブレイクするときにその境界部Sでブレイクすることができるようにするもので、切り溝15の深さDは、本来は深いほど好ましいが、サファイア基板1は非常に硬く、切断しにくいと共に、ダイサーも傷みやすいため、ブレイクの際の案内溝になり得る深さで、できるだけ浅く形成する。具体的には、前述のように100 $\mu$ m程度の厚さに研磨された基板1の表面からの深さDが10~40 $\mu$ m程度、さらに好ましくは20~30 $\mu$ m程度になるように形成すればよい。なお、通常のダイサーを使用すれば切り溝15の幅Wは10~20 $\mu$ m程度になる。ついで、基板1の裏面からダイヤモンドカッターにより線状にスクライプライン16を入れる。その後、スクライプライン16の部分に瞬間的な衝撃力を加えることにより、ウェハ状の基板1を割って各LEDチップ11、12に分割する。

【0017】ダイヤモンドカッターによるスクライプラインだけでは、数 $\mu$ m程度の非常に浅い溝しか入らないため、衝撃の加わる具合により割れる方向が一定しないが、本発明によれば、ダイサーによるハーフカットがなされているため、サファイア基板の厚さの20~30%

程度が切断されており、しかもその先端が切断によりギザギザになっているため、反対面のスクライブラインからの衝撃によりその切り溝に向かって割れ目が入り、横に進むことなく割れる。一方、サファイア基板は硬く、ダイサーによる切断は時間がかかるが、サファイア基板の全体を切断するのではなく、その厚さの数％だけを切断するため、それ程工数増にはならず、ダイサーのブレードの消耗もそれ程多くはならない。そのため、割れ方向の安定性に伴い非常に歩留りが向上し、結果的に効率のよいブレードをすることができる。

【0018】図2は、ダイサーによるハーフカットを2段で行う例を示す図である。すなわち、サファイア基板1は、前述のように硬くとくにブレードが薄いとダイサーによる切断を行いにくいため、基板1への切り溝の深さの半分程度（10 $\mu$ m程度）を切り溝の幅が30～50 $\mu$ m程度になる厚いブレードを用いて第1の切り溝15aを形成し、残りの10～20 $\mu$ m程度を切り溝の幅が10～20 $\mu$ m程度になる薄いブレードを用いて第2の切り溝15bを形成し、基板1に全体として20～30 $\mu$ m程度の深さの切り溝を設ける例である。このようにすればブレードが厚く硬いサファイア基板でも比較的安定して切断することができ、しかもその切り溝15の先端は細く、裏面のスクライブライン16からの割れ目が切り溝の細い先端に向って延びるように割れる。他の図1に示される例と同じ部分には同じ符号を付してその説明を省略する。

【0019】図3は、さらに他の例を示す図で、この例は、各チップの境界部Sの積層された半導体層をドライエッチングによりエッチングして基板を露出させてから、その基板1をハーフカットしているものである。このようにすることにより、積層した半導体層を直接ダイサーにより切断しないため、積層された半導体層に機械的衝撃が加わることがないため信頼性上好ましい。この場合も図1と同じ部分には同じ符号を付してその説明を省略する。

【0020】図4はさらに他の例を示す同様の断面説明図で、この例は、ダイサーによるハーフカットを基板1の裏面側に入れ、積層された半導体層のn形層3側にダイヤモンドカッターによるスクライブライン16が入れたものである。このようにしても基板1がダイサーによりハーフカットされているため、スクライブライン16から切り溝15に向かって割れ目が入り、ウェハから各チップに切断分離される。なお、この場合も各チップの境界部の積層された半導体層をドライエッチングにより除去しておくことにより、サファイア基板だけで切断することができるため、より容易に切断分離をすることができる。また、図1と同じ部分には同じ符号を付してその説明を省略する。

【0021】前述の図2に示されるように厚さの異なるブレードにより2段に切断すれば比較的丈夫なブレードにより硬いサファイア基板1を切断することができるが、図5(b)～(c)にブレードの先端部（周縁部）の断面図が示されるように先端（周端部）の断面形状を小さいアールまたはV字状にしたブレードを用いて切断することにより図2の例と同様の先端が細い切り溝を形成することができる。なお、図5(a)が通常のブレードの形状を示す。

【0022】なお、前述の各例では、サファイア基板に積層される半導体層がチツ化ガリウム系化合物半導体で、かつ、具体的な例であったが、これらの具体例に限定されず、それ以外の半導体層や構造でも基板がブレードしにくい場合に同様の方法を用いることができる。また、積層される半導体層の構造も、前述のn形層とp形層とで活性層が挟持されたダブルヘテロ接合構造に限定されるものではなく、n形層とp形層とが直接接合するpn接合などの他の構造のものでもよい。

【0023】

【発明の効果】本発明によれば、サファイア基板などのウェハからチップへのブレードが困難な基板に半導体層が積層される半導体発光素子でも、割れ目が横の方向にずれたりしないで比較的容易にブレードすることができ、歩留りを低下させることなく、発光特性を低下させることもない。その結果、安価で高特性の半導体発光素子が得られる。

【図面の簡単な説明】

【図1】本発明の製法の一実施形態のブレード前の状態の断面説明図である。

【図2】本発明の製法の他の実施形態の図1と同様の説明図である。

【図3】本発明の製法の他の実施形態の図1と同様の説明図である。

【図4】本発明の製法の他の実施形態の図1と同様の説明図である。

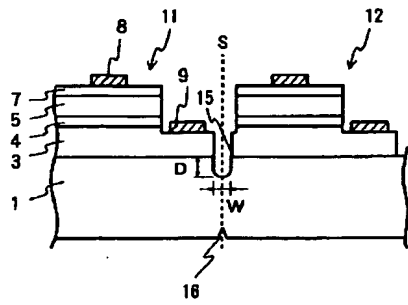
【図5】本発明のダイサーによる切断に用いるブレードの形状例の説明図である。

【図6】従来の半導体発光素子の製法を説明する図である。

【符号の説明】

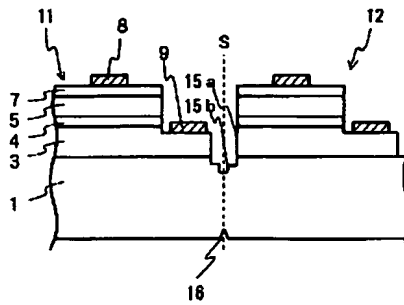
- 1 基板
- 3 n形層
- 5 p形層
- 8 p側電極
- 9 n側電極
- S チップの境界部
- 15 切り溝
- 16 スクライブライン

【図 1】



- 1 基板  
3 n形層  
15 切り溝  
16 スクライプライン  
5 p形層  
8 p側電極  
9 n側電極  
S チップの境界部

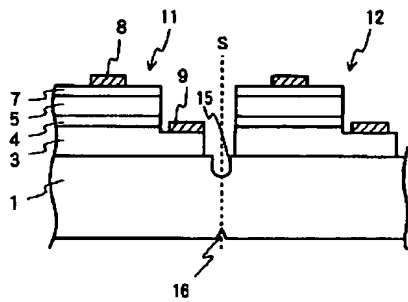
【図 2】



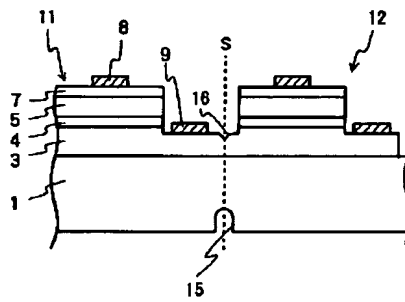
【図 5】



【図 3】



【図 4】



【図 6】

